

발송번호: 9-5-2007-036245722
발송일자: 2007.06.28
제출기일: 2007.08.28

수신 서울 강남구 역삼1동 648-23 여삼빌딩 15
층 (KBK특허법률사무소)
방해철

(PP-2006-0250-SP-10)

OFFICIAL ACTION (dated June 28, 2007)

135-748

YOUR INVENTION PARTNER:

특 허 청
의견제출통지서



출원인명칭	마츠시다 덴코 가부시카가이사 (출원인코드: 519980960435)
주 소	일본 오사카후 가도마시 오아자 가도마 1048반지
대리인명칭	방해철 외 1 명
주 소	서울 강남구 역삼1동 648-23 여삼빌딩 15층 (KBK특허법률사무소)
발명자성명	고다 가즈오
주 소	일본 오사카후 가도마시 오아자 가도마 1048반지 마츠시다 덴코가부시카가이사 내
발명자성명	초지 고지
주 소	일본 오사카후 가도마시 오아자 가도마 1048반지 마츠시다 덴코가부시카가이사 내
발명자성명	기리하라 마사오
주 소	일본 오사카후 가도마시 오아자 가도마 1048반지 마츠시다 덴코가부시카가이사 내
발명자성명	니시지마 유이치
주 소	일본 오사카후 가도마시 오아자 가도마 1048반지 마츠시다 덴코가부시카가이사 내
출원번호	10-2006-7018387
발명명의명칭	반도체 장치의 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[심사결과]

☐ 거절이유가 있는 청구항: 청구항 제1항 내지 제3항

[이유]

이 출원의 특허청구범위 제1항 내지 제3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

인용발명: 등록특허 10-0238691(2000.01.15 공고)

1) 청구범위 제1항은 반도체 기판 상에 개구부를 포함하는 마스크를 제공하는 단계 및 상기 반도체 기판 내에 서로 다른 폭 치수를 갖는 다수 종류의 관통홀들을 형성시키는 단계를 포함하고, 상기 반도체 기판의 깊이 방향으로의 반도체 재료의 제거율이 상기 개구가 더 넓은 개구 폭을 가질수록 높아지는, 관통 공정의 사용에 의해 반도체 기판을 제조하는 방법에 있어서, 제1 영역이 상기 반도체 기판의 나머지 영역 즉 제2 영역보다 작은 두께 치수를 갖도록 비교적 좁은 개구 폭을 갖는 상기 마스크의 개구부에 대응하는 상기 반도체 기판의 상기 제1 영역 내의 상기 반도체 기판의 제1 표면 상에 오목부를 형성시키는 제1 단계; 및 상기 반도체 기판의 제2 영역의 상기 제1 표면에 도달하는 제1 관통홀 및 상기 오목부에 도달하는 제2 관통홀을 형성시키기 위하여, 상기 반도체 기판의 제1 표면에 대향하는 제2 표면 상에 제공된 마스크를 사용하여 상기 관통 공정을 수행하는 제2 단계를 포함하는, 반도체 장치 제조 방법에 관한 발명이나, 인용발명(도2)에서 “입사효율은 개구경이 좁은 제1의 개구부(13a)보다 넓은 제2의 개구부(13b)쪽이 높기 때문에, 에칭속도는 후자에 있어서 상대적으로 빨라진다.”라고 기재된 바와 같이 개구경의 크기가 에칭 속도에 영향을 준다는 것은 이미 당해 분야에서 널리 알려진 사실이므로 본원과 같이 폭 치수가 다른 관통홀의 마스크를 이용하여 에칭할 경우, 좁은 개구 폭의 홀이 넓은 개구 폭의 홀보다 깊이 방향으로 에칭이 적게 되므로 같은 깊이의 관통홀을 형성하기 위해서는 본원 발명과 같이 기판 뒤에서 오목부를 형성하는 구성과 같이 상기 깊이의 차이를 보상해 주기 위한 에칭 공정을 추가하는 것은 당해 분야의 통상의 지식을 갖는 자라면 별 어려움없이 도출해 낼 수 있는 정도로 인정되므로, 그 구성상 곤란성이 인정되지 않습니다.

2) 청구범위 제2항의 특징부로 기재하고 있는 상기 제1 단계를 수행한 후, 상기 반도체 기판의 제1 표면을 지지 기판에 결합시키는 단계를 포함하며, 그 후 상기 제2 단계를 수행하는 구성은 당업자가 필요에 따라 기판을 추가로 형성할 수 있는 정도의 단순한 설계 변경사항입니다.

3) 청구범위 제3항은 청구범위 제1항의 관통공정 단계와 오목부 형성단계의 순서를 바꾸어 기재한 것 이외에는 실질적으로 동일한 구성을 기재(상기 순서의 변화로 발생하는 효과의 현저함이 없음)하고 있으므로, 마찬가지로 상기 기재1)과 같이 당업자가 인용발명으로부터 용이하게 도출할 수 있는 정도입니다.

[첨 부]

첨부1 등록특허번호 제0238691호(2000.01.15) 1부. 끝.

2007.06.28

특허청

기계금속건설심사본부
정밀기계심사팀

심사관

민정임



심사관

이영창



<< 안내 >>

귀하께서는 특허법제47조제2항의 규정에 의하여 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위 안에서 명세서 또는 도면을 보정할 수 있음을 알려드립니다.

(참고 : 최후거절이유통지 후 및 특허거절결정에 대한 심판 청구시의 보정은 상기 요건보다 더 엄격한 기준이 적용됨을 알려드립니다)

※ 다만, 2001년 7월 1일 전에 제출된 특허출원의 경우에는 구 특허법(2001.2.3. 법률 제6411호로 개정되기 전의 것) 제47조제2항의 규정에 의하여 특허출원서에 최초로 첨부된 명세서 또는 도면의 요지를 변경하지 아니하는 범위 안에서 명세서 또는 도면을 보정할 수 있습니다.

※ 보정료 납부안내

- 명세서 또는 도면을 보정하기 위하여 명세서등 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

- 보정료는 접수번호를 부여받아 이를 납부자번호로 "특허료등의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·휴일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

- 보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로(www.giro.or.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 통상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

※ 서식 또는 절차에 대하여는 특허고객 콜센터(☎1544-8080)로 문의하시기 바라며, 기타 문의사항이 있으시면 ☎042)481-5545(담당심사관 민정임)로 문의하시기 바랍니다.

※ 우 302-701 대전광역시 서구 선사로 139(둔산동 920) 정부대전청사 특허청

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. 6
H01L 21/306

(45) 공고일자 2000년01월15일
(11) 공고번호 10-0238691
(24) 등록일자 1999년10월15일

(21) 출원번호	10-1992-0000772	(65) 공개번호	특1992-0015479
(22) 출원일자	1992년01월21일	(43) 공개일자	1992년08월27일
(30) 우선권주장	91-20360 1991년01월22일 일본(JP)		
(73) 특허권자	소니 가부시끼가이샤 이데이 노부유키 일본국 도쿄도 시나가와구 키타시나가와 6초메 7반 35고		
(72) 발명자	다쓰미 데쓰야 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 소니 가부시끼가이샤 내 가도무라 신고 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 소니 가부시끼가이샤 내 나가야마 데쓰지 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 소니 가부시끼가이샤 내		
(74) 대리인	김서일 박종길		

심사관 : 서태준

(54) 드라이에칭방법

요약

본원 발명은 반도체장치의 제조분야등에 있어서 적용되는 드라이에칭방법에 관한 것이며, 특히 플론계 가스를 사용하지 않고 단결정 실리콘, 다결정 실리콘, 고용점금속실리사이드등의 실리콘계 재료층의 이방성에칭을 저온 에칭에 의해 고정밀도로 행하는 방법에 관한 것이다. 본원 발명은 에칭가스로서 S

$2F_2$, S_2Cl_2 등의 할로겐화합을 사용하여 저온에칭을 행한다. 과잉의 F

* 또는 Cl^* 을 포착하기 위해서, ① 상기 가스에 H_2 를 첨가한다, ② 피에칭영역에 수소를 이온주입한다, ③ 실리콘함유레지스트재료로 마스크를 구성한다, ④ 웨이퍼근방에다른 실리콘계 재료를 배설하는 어느 하나의 수단에 의해, 에칭 반응계내에 수소 또는 규소를 공급한다. 이로써, 외관상의 F/S 비 또는 Cl/S 비가 감소하고, 효율적으로 S가 측벽보호막(5)으로서 퇴적하여, 이방성(異方性)형상이 우수한 게이트전극(3a)이 형성된다. 이러한 구성에 의해 고속성, 선택성, 이방성, 저오염성이 우수한 실리콘계 재료층의 에칭을 플론계 가스를 사용하지 않고 실현한다.

명세서

[발명의 명칭]드라이에칭방법[도면의 간단한 설명]제1도는 본원 발명을 게이트가공에 적용한 일실시예를 그 공정순에 따라 나타난 개략단면도이며, (a)는 에칭전의 웨이퍼의 상태도, (b)는 DOPOS층의 에칭이 종료되었을 때의 상태도.

제2도는 본원 발명의 제3의 발명을 트랜치가공에 적용한 일실시예를 그 공정순에 따라 나타난 개략단면도이며, (a)는 이온주입을 행한 후의 웨이퍼의 상태도, (b)는 트랜치에칭의 도중상태도, (c)는 트랜치에칭이 종료되었을 때의 상태도.

제3도는 본원 발명의 제5의 발명을 실시함에 있어서 사용되는 캐소드커버의 일구성예를 나타난 개략단면도.

<도면의 주요부분에 대한 부호의 설명> (1),(11) : 실리콘기판 (2) : 게이트산화막(3) : DOPOS 층 (3a) : 게이트전극 (5),(16) : 측벽보호막 (S),(14a),(14b) : 고수소농도영역(15a),(15b) : 트랜치 (23) : 캐소드커버(24) : 아몰퍼스실리콘층[발명의 상세한 설명]본원 발명은 반도체장치의 제조분야등에 있어서 적용되는 드라이에칭방법에 관한 것이며, 특히 플론(flon)계 가스를 사용하지 않고 단결정실리콘, 다결정실리콘, 고용점금속실리사이드등의

실리콘계 재료층의 이방성예칭을 저온예칭에 의해 고정밀도로 행하는 방법에 관한 것이다.

근년의 VLSI, ULSI 등에서 볼 수 있는 바와 같이, 반도체장치의 고집적화 및 고성능화가 진전됨에 따라 단결정실리콘, 다결정실리콘, 고용점금속실리사이드, 폴리사이드등의 실리콘계 재료층의 예칭에 있어서도 고이방성(高異方性), 고속성, 고선택성이라는 제요구를 어느 하나도 희생시키지 않고 달성하는 기술이 강하게 요구되고 있다.

단결정실리콘의 대표적인 예칭프로세스는 미세소자분리나 셀용량 면적의 확보를 목적으로 하여 트렌치를 형성하기 위한 트렌치가공이다. 이 프로세스에서는 고애스펙트비패턴의 이방성가공이 필요하게 되는데, 실제로는 마스크패턴이나 예칭조건의 변동등에 의해서 트렌치의 단면형상이 복잡하게 변화하기 쉽고, 언더컷나 보우잉(bowing)등의 형상이상(異常)을 종종 경험하게 된다. 이것들은 모두 후공정에 있어서의 트렌치의 매입(埋入)이나 용량의 제어등을 곤란하게 한다.

한편, 다결정실리콘, 고용점금속실리사이드, 폴리사이드등의 대표적인 예칭프로세스는 게이트가공이다. 게이트전극의 패턴폭은 트랜지스터의 소스·드레인영역이 자기정합적(自己整合的)으로 형성되는 경우의 채널길이나 LDD 구조에 있어서의 사이드월의 치수정밀도에 직접 영향을 미친다. 따라서, 이 프로세스에도 매우 높은 가공정밀도가 요구된다.

종래, 이들 실리콘계 재료의 예칭에는 플론 113($C_2Cl_3F_3$)등으로 대표되는 플론계 가스가 예칭가스로서 널리 사용되어 왔다. 플론계가스는 1분자내에 F와 Cl을 구성원소로서 가지고 있으므로, 라디칼반응과 이온어시스트반응의 양쪽에 의한 예칭이 가능하며, 또한 기상(氣相)중에서 퇴적하는 탄소계 폴리머로 측벽보호를 행하면서 고이방성을 달성할 수 있다.

그러나, 플론계 가스는 주지된 바와 같이 지구의 오존층 파괴의 원흉이라는 것이 지적되어 있으며, 가까운 장래에 제조 및 사용이 금지될 단계에 있다. 따라서, 드라이예칭의 분야에 있어서도 플론계가스의 대체품을 발견하여 그 효과적인 이용방법을 확립하는 것이 급선무로 되어 있다. 또, 반도체장치의 디자인룰이 급후 더욱 미세화되면 기상중에서 퇴적하는 탄소폴리머가 파티클오염원이 된다는 것도 생각할 수 있으므로, 이런 의미에서도 탈(脫)플론 대책이 요망되고 있다.

탈플론대책으로서 유망시되고 있는 기술에 저온예칭이 있다. 이것은 피예칭기판(웨이퍼)의 온도를 $0^{\circ}C$ 이하로 유지함으로써 깊이 방향의 예칭속도를 이온어시스트효과에 의해 실용레벨로 유지한 채, 패턴측벽부에 있어서의 라디칼반응을 동결 또는 억제하여 언더컷등의 형상이상을 방지하려고 하는 기술이다. 예를 들면 일본국 제 35회 응용물리학회 관계연합강연회(1988년 춘계년회) 강연예고집 제495면 연제번호 28a-G-2 에는 웨이퍼를 $-130^{\circ}C$ 로 냉각하고, SF

6 가스를 사용하여 실리콘트렌치예칭 및 n^{+} 형 다결정실리콘층의 예칭을 행한 예가 보고되어 있다.

그러나, 저온예칭에 있어서 고이방성의 달성을 라디칼반응의 동결 또는 억제에만 의존하려고 하면, 상응하는 레벨의 저온이 필요하게 되고, 경제성이나 스루풋(throughput)을 크게 저하시킬 염려가 있다 그래서, 보다 실용적인 어프로치로서는 저온에 의한 라디칼반응 억제와 측벽보호를 조합하는 것이 고려되고 있다.

예를 들면 본원 출원인은 앞서 일본국 특원평 2(1990)-198045호 명세서에 있어서, S_2F_2 등의 플루오르화합을 예칭가스로서 사용하여, 산화실리콘계 재료층을 저온예칭하는 기술을 개시한 바 있다. 이것은 수종류 존재하는 플루오르화합중에서도 종래부터 가장 잘 알려져 있는 SF

6 와 비교하여 F/S 비(분자내의 플루오르원자수와 황원자수의 비)가 낮은 가스를 사용하는 기술이며, 예칭계내에의 F^{*} (플루오르라디칼)의 생성량을 저감시키는 동시에, 패턴측벽부에 S를 퇴적시킬 수 있다. 즉, F

*의감소에 의해 대(對)실리콘선택비가 향상되고, S의 퇴적에 의해 측벽보호효과가 얻어지는 것이다. 더욱이, 퇴적한 S는 예칭종료후에 기판을 가열하면 용이하게 승화제거할 수 있으므로, 파티클오염을 야기시킬 염려도 없다.

또, 본원 출원인은 앞서 일본국 특원평 2(1990)-265235호 명세서에 있어서, 전술한 S_2F_2 등과 같이 F/S 비가 낮은 플루오르화합과 HBr 을 함유하는 혼합가스에 의해 폴리사이드막을 저온예칭하는 기술을 개시한 바 있다. 폴리사이드막의 예칭에 대해서는 라디칼의 공격을 받기 쉬운 하층층의 DOPOS층에 언더컷등의 형상이상(異常)이 종종 발생한다는 것이 종래부터 문제로 되어 있다. 그러나, 이 기술에 의하면 SiBrx 와 S의 양쪽이 측벽보호에 기여하므로, 비록 오보예칭시에 상대적으로 Br

* (브롬라디칼)이 과잉되었다고 해도 S의 퇴적에 의해 양호한 이방성이 유지된다.

또한, 본원 출원인은 앞서 일본국 특원평 2(1990)-199249호 명세서에 있어서 S_2Cl_2 나 S_2Br_2 등의 할로젠화합을 함유하는 가스를 사용하여 실리콘계 재료를 저온예칭하는 기술을 개시한 바 있다. 이것은 반응성이 높은 F

*를 발생할 수 없는 가스를 사용함으로써 라디칼의 영향을 저감시키는 것을 목적으로 하고 있다.

전술한 바와 같이, S로 측벽보호를 행하는 본원 출원인의 각 기술은 산화실리콘계 재료층의 에칭에 있어서 클린 프로세스(clean process)를 실현하는데 있어 매우 유망한 기술이다. 따라서, 트렌치가공이나 게이트가공등의 프로세스에 있어서도 F

*를 주체로 하는 에칭을 행하면서 S에 의한 측벽보호를 행하면, 고속성과 고이방성을 겸비한 이상적인 에칭프로세스를 기대할 수 있다.

그러나, 실리콘계 재료는 라디칼에 의한 공격을 매우 받기 쉬우므로, 가령 S_2F_2 와 같이 플루오르화황중에서는 가장 F/S 비가 낮은 가스를 사용한 경우에도 실제로는 라디칼이 아직도 과잉상태로 되고, 마스크아래의 언더커팅등을 발생할 염려가 크다. 또, 이와 같이 퇴적물을 측벽보호에 이용하는 프로세스를 특히 트렌치가공과 같은 고 앰펙트비가공에 적용한 경우, 퇴적량에 따라서는 패턴의 개구경이 협소화되어 입사활성종의 양이 감소하기 때문에, 에칭속도가 개구경에 의존하여 변화하여 이른바 마이크로로딩효과가 생기고 만다.

또, Br을 사용하는 저온에칭반응계에서는 $SiBr_x$ 나 WBr_x (텅스텐 실리사이드를 에칭한 경우)등의 반응생성물의 증기압이 낮으므로, 이들 과잉퇴적에 의한 치수변환차나 파티클오염의 염려가 있다.

따라서, 실리콘계 재료층의 에칭을 행하기 위해서는 종래의 프로세스에 다시 어떤 연구를 행할 필요가 있다.

그래서, 본원 발명은 S로 측벽보호를 행하는 저온에칭을 기본으로하면서, 실용적인 실리콘계 재료의 가공이 가능하게되는 방법을 제공하는 것을 목적으로 한다.

본원 발명의 드라이에칭방법은 전술한 목적을 달성하기 위해 제안된 것이다.

즉, 본원 발명의 제1의 발명에 관한 드라이에칭방법은 피에칭기판을 0°C 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 제1가스와, H_2 , H_2S 실란계 화합물에서 선정되는 한 종류의 제2가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 한다.

본원 발명의 제2의 발명에 관한 드라이에칭방법은 피에칭기판을 0°C 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 제1가스와, H_2 , H_2S 실란계 화합물에서 선정되는 한 종류의 제2가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 제1의 공정과, 상기 제1가스에 대한 상기 제2가스의 유량비를 상기 제1의 공정에 있어서의 유량비보다 상대적으로 크게 하여 오버에칭을 행하는 제2의 공정을 가지는 것을 특징으로 한다.

본원 발명의 제3의 발명에 관한 드라이에칭방법은 피에칭영역에 미리 수소를 이온주입에 의해 도입하고, 피에칭기판을 0°C 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 한다.

본원 발명의 제4의 발명에 관한 드라이에칭방법은 실리콘함유 레지스트재료에 의해 구성되는 에칭마스크를 사용하고, 피에칭기판을 0°C 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 한다.

본원 발명의 제5의 발명에 관한 드라이에칭방법은 최소한 표면이 실리콘계 재료에 의해 구성되는 에칭장치내부재 또는 더미재를 피에칭기판의 근방에 설치하고, 피에칭기판을 0°C 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 한다.

본원 발명의 제1의 발명 내지 제5의 발명에 관한 드라이에칭방법은 모두 에칭반응계내에 어떤 형태로든 수소 또는 실리콘을 공급하고, 방전해리(放電解離)에 의해 생성하는 H^* (수소라디칼) 또는 실리콘계 화학종으로 과잉의 할로겐라디칼을 포착한다는 발상에 근거하고 있다. 본원 발명에 사용되는 제1가스중 S

$_2F_2$, SF_2 , SF_4 , S_2F_{10} 으로부터는 H^* 가, 또 S_3Cl_2 , S_2Cl_2 , SCl_2 로부터는 Cl^* (염소라디칼)이 각각 생성된다. 이 것들은 계내(系内)에 발생한 H

* 또는 실리콘계 화학종과 용이하게 결합하여 HF, HCl, $SiFx$, $SiClx$ 등의 형태로 계외(系外)로 제거된다. 따라서, 플루오르화황중에서 가장 F/S 비가 낮은 S

$_2F_2$ 또는 염화황중에서 가장 Cl/S 비가 낮은 S_3Cl_2 를 사용한 경우에도 더욱 할로겐라디칼발생량을 저감시켜서 외관상의 F/S 비 또는 Cl/S 비를 내릴 수 있는 것이다. 한편, 전술한 제1가스는 어느것도 계내에 S를 생성하는 것이 가능하다. 본원 발명에서는 피에칭기판이 0°C 이하로 냉각되어 있으므로, 생성된 S는 이 기판상에 퇴적된다. 이 퇴적물은 이온의 입사면에서는 즉시 스퍼터제거되나, 이온의 입사가 적은 패턴측벽부에서는 퇴적하여 측벽보호효과를 발휘한다. 더욱이, 기판의 저온냉각에 의해 라디칼반응도 어느 정도 억제되어 있다.

이와 같이, 본원 발명에 의하면 (a) 수소 및/또는 실리콘에 의한 과잉라디칼의 포착, (b) s에 의한 측벽보호, (c) 저온냉각에 의한 라디칼반응의 억제의 3종류의 효과를 상승적으로 기대할 수 있고, 고속이고도 이방성이 우수한

실리콘계 재료층의 에칭이 가능하게 된다.

이상이 본원 드라이에칭방법에 있어서의 공통의 기구이며, 개개의 발명은 에칭반응계내에 수소 또는 실리콘을 공급하는 수단에 차이를 가진 것이다.

제1의 발명 및 제2의 발명에서는 어느 것도 H_2 , H_2S , 실리콘계 가스와 같이 수소나 실리콘을 구성원소로서 가진 제2가스를 에칭가스계에 첨가하고 있다. 양 발명의 기본적인 기구는 같으나, 특히 제2의 발명에서는 오버에칭의 단계에서 그 이전까지의 에칭조건보다 제2가스의 유량비를 상대적으로 크게함으로써, 할로겐, 라디칼의 소비량을 한층 증대시켜 대소지(對素地) 선택성을 높일 수 있다. 또, 오버에칭시에 과잉의 라디칼이 포착되므로 언더커팅을 발생할 염려가 없다.

제3의 발명에서는 피에칭영역에 미리 수소를 이온주입에 의해 도입해 둬으로써, 실리콘계 재료층의 에칭에 따라 방출되는 수소가 과잉의 할로겐라디칼을 포착한다. 여기서, 주입에너지의 제어에 의해 소정의 주입깊이로 수소를 도입해 두면, 에칭이 그 주입깊이의 근방에 도달한 단계에서 수소가 집중적으로 방출되므로, 라디칼의 소비량이 증대한다. 이에 따라 에칭저면에도 S가 퇴적되고, 에칭속도가 급격히 저하된다. 따라서, 개구경의 대소에 의존하지 않고 에칭속도가 균일화 되어 마이크로로딩효과가 억제된다.

제4의 발명에서는 에칭마스크를 실리콘 함유 레지스트재료로 구성하며, 또한 제5의 발명에서는 최소한 표면이 실리콘계 재료에 의해 구성되는 에칭장치내부재 또는 더미재를 피에칭기판의 근방에 배치한다. 이들의 에칭과정에서는 에칭마스크, 에칭장치내부재 또는 더미재로부터 에칭계내에 실리콘이 공급되어, 이 실리콘이 과잉의 할로겐라디칼의 포착에 기여한다.

다음에, 본원 발명의 구체적인 실시예에 대하여 설명한다.

[실시예 1] 본 실시예에는 본원 발명의 제1의 발명을 게이트가공에 적용하여, 제1가스로서 S_2F_2 , 제2가스로서 H_2 를 각각 사용하고, 이들 혼합가스에 의해 DOPOS층을 에칭한 예이다. 이것을 제1도(a) 및 (b)를 참조하면서 설명한다.

먼저, 일례로서 제1도(a)에 도시한 바와 같이 실리콘기판(1)상에 산화실리콘으로 이루어지는 게이트산화막(2)을 통하여 n^+ 형의 DOPOS층(3)이 적층되고, 다시 이 DOPOS층(3)상에 에칭마스크로서 소정의 형상으로 패터닝되는 레지스트패턴(4)이 형성되어 이루어지는 웨이퍼를 준비하였다. 이 웨이퍼를 유자장(有磁場)마이크로파 플라즈마에칭장치의 웨이퍼탑재전극상에 세트하고, 외부에 접속된 냉각기로부터 이 웨이퍼탑재전극에 에탄올냉매를 순환시킴으로써 웨이퍼를 약 $-70^\circ C$ 로 냉각하였다. 이 상태에서 S

$_2F_2$ 유량 20SCCM, H_2 유량 10SCCM, 가스압 1.3Pa(10mTorr), 마이크로파파워 850W, RF 바이어스파워 30W의 조건으로 DOPOS층의 에칭을 행하였다.

상기 DOPOS층(3)의 에칭은 마이크로파방전에 의해 S_2F_2 로부터 해리생성되는 F^* 를 주에칭종으로 하여 진행하는데, 과잉의 F^* 는 H_2 로부터 생성되는 H^* 에 의해 소비되었다. 그 한편에서 S

$_2F_2$ 로부터 생성되는 S가 패턴측벽부에 퇴적하여 제1도(b)에 도시한 바와 같이 측벽보호막(5)이 형성되었다. S

$_2F_2$ 의 F/S비는 1이며, 안정된 화합물로서 이 이상 F/S비가 작은 것은 존재하지 않는다. 그러나, 이와 같이 H

에 F^ 가 소비됨으로써 외관상의 F/S비가 더욱 낮아져서 라디칼반응을 억제하는 동시에 S에 의한 측벽보호의 효과를 상대적으로 높일 수 있는 것이다.

이 결과, 레지스트패턴(4) 아래에 언더커팅등이 생기지 않고, 양호한 이방성형상을 가진 게이트전극(3a)이 형성되었다. 측벽보호막(5)은 에칭종료후 웨이퍼를 가열함으로써 용이하게 승화제거되었다.

그런데, 전술한 프로세스에서는 게이트산화막(2)에 대한 고선택성도 아울러 실현되었다. 과잉의 F

*의 소비와 웨이퍼의 저온화에 의해 라디칼반응이 억제되어 있는 것과, 측벽보호가 행해지는 만큼 RF 바이어스파워를 저감할 수 있는 것이 주된 이유이다. 예를 들면 전술한 RF 바이어스파워의 값은 V

dc로 환산하면 20V 이하이며, 이온입사에너지로서는 매우 낮은 영역에 속한다. 따라서, 근년 게이트산화막이 더욱더 박막화되고 있는 상황하에 있어서 전술한 프로세스는 매우 유효하다. 또, 이러한 저바이어스조건에 의하면 레지스트패턴(4)의 스퍼터제거도 억제되므로, 대레지스트선택성이 향상되고, 탄소계 폴리머에 의한 파티클오염도 방지할 수 있다.

그리고, 비교를 위해 에칭가스에 H_2 를 첨가하지 않고, S_2F_2 를 단독으로 사용하여 제1도(a)에 도시한 웨이퍼를 에칭한 바, 과잉의 F^* 의 작용에 의해 레지스트패턴(4) 아래에 언더커팅이 발생하고, 또 대소지선택성도 저하하였다.

[실시에 2]본 실시예에는 본원 발명의 제1의 발명을 역시 게이트가공에 적용하여, 제1가스로서 S_2F_2 , 제2가스로서 H_2S 를 각각 사용하고, 이들 혼합가스에 의해 DOPOS층을 에칭한 예이다.

본 실시예에서는 실시예 1과 동일한 웨이퍼를 유자장마이크로파 플라즈마에칭장치에 세트하고, S_2F_2 유량 20SCCM, H_2 유량 10SCCM, 가스압 1.3Pa(10mTorr), 마이크로파파워 850W, RF 바이어스파워 30W, 웨이퍼냉각온도 약 $-70^{\circ}C$ 의 조건으로 DOPOS 층(3)의 에칭을 행하였다. 이 결과, 양호한 이방성형상을 가진 게이트전극(3a)이 형성되었다.

이 에칭과정은 실시예 1과 대략 같으나, 제2가스에 H_2S 가 함유되어 있기 때문에 외관상의 F/S 비는 한층 더 낮아져 측벽보호효과가 향상되었다.

[실시에 3]본 실시예에는 본원 발명의 제1의 발명을 역시 게이트가공에 적용하여 제1가스로서 S_2F_2 , 제2가스(실란계 가스)로서 SiH_4 를 각각 사용하고, 이들 혼합가스에 의해 DOPOS 층을 에칭한 예이다.

본 실시예에서는 실시예 1과 동일한 웨이퍼를 유자장마이크로파 플라즈마에칭장치에 세트하고, S_2F_2 유량 20SCCM, SiH_4 유량 5SCCM, 가스압 1.3Pa(10mTorr), 마이크로파파워 850W, RF 바이어스파워 30W, 웨이퍼냉각온도 약 $-70^{\circ}C$ 의 조건으로 DOPOS 층(3)을 에칭하였다. 이 결과, 양호한 이방성형상을 가진 게이트전극(3a)이 형성되었다.

이 에칭과정도 실시예 1과 대략 같으나, 제2가스에 함유된 실리콘이 과잉의 F^* 를 포착하여 증기압이 높은 SiF_4 또는 그 플레그먼트를 생성하여 계외로 제거하기 때문에 역시 외관상의 F/S 비가 한층 감소하였다.

그리고, 본 실시예에서는 실란계 가스로서 SiH_4 를 사용하였으나, 그 외에 Si_2H_6 , Si_3H_8 등의 수소화규소 또는 이들의 부분할로겐화유도체인 SiH_2F_2 , SiH_2Cl_2 등을 사용해도 된다.

[실시에 4]본 실시예에는 본원 발명의 제2의 발명을 게이트가공에 적용함에 있어서, 제1의 공정에 있어서 전술한 실시예 1과 마찬가지로 DOPOS 층의 에칭을 대략 종료한 후, 제2의 공정에 있어서 S_2F_2 에 대한 H_2 의 유량비를 제1의 공정보다 상대적으로 크게 한 조건으로 오버에칭한 예이다.

본 실시예에서도 실시예 1과 동일한 웨이퍼를 사용하였다. 먼저 제1의 공정으로서 유자장마이크로파 플라즈마에칭장치를 사용하여, S

S_2F_2 유량 20SCCM, H_2 유량 10SCCM, 가스압 1.3Pa(10mTorr), 마이크로파파워 850W, RF 바이어스파워 30W, 웨이퍼냉각온도 약 $-70^{\circ}C$ 의 조건으로 DOPOS 층(3)의 에칭을 대략 그 막두께만큼 행하였다.

여기까지의 과정에서는 물론 에칭한 이방성형상을 가진 게이트전극(3a)이 형성되나, 더욱 오버에칭을 행함에 있어서 소지(素地)의 게이트산화막(2)에 대한 선택성을 향상시키고, 또한 반응의 상대를 상실하여 과잉으로 되는 F^* 를 포착하기 위해서는 한층 더 외관상의 F/S비를 감소시킬 필요가 있다. 그래서, 제2의 공정에서는 가스공급조건을 S

S_2F_2 유량 10SCCM, H_2 유량 20SCCM으로 변경하고, 계속해서 오버에칭을 행하였다. 이것에 의해 50%의 오버에칭을 행한 경우에도 게이트산화막(2)의 제거등은 최소한으로 억제되고, 언더컷도 발생하지 않았다.

그리고, 전술한 실시예에서는 제1의 공정과 제2의 공정과의 사이에서 가스공급조건만을 변화시켰으나, 제2의 공정에 있어서 RF 바이어스파워를 상대적으로 저하시키면 대소지선택성을 향상시키는 관점에서 한층 유리하다.

[실시에 5]본 실시예에는 본원 발명의 제3의 발명을 트랜치가공에 적용하여, 미리 실리콘기판내에 원하는 트랜치 깊이와 동등이상의 깊이에 수소이온을 주입해 두고, S_2Cl_2 를 사용하여 에칭을 행한 예이다. 이것을 제2도 (a)~(c)를 참조하면서 설명한다.

먼저, 일례로서 제2도(a)에 도시한 바와 같이 실리콘기판(11)상에 산화실리콘으로 이루어지는 에칭마스크(12)가 형성되어 이루어지는 웨이퍼를 준비하였다. 상기 에칭마스크(12)는 RIE(반응성 이온에칭)에 의해 에치백을 행하여 형성된 사이드월을 가지고 있으며, 이것에 의해 제1의 개구부(13a)는 포토레지스트재료의 해상(解像)한계를 초과하여 약 $0.2\mu m$ 로 되어 있다. 제2의 개구부(13b)의 개구경은 약 $0.5\mu m$ 이다. 다음에, 상기 제1의 개구부(13a) 및 제2의 개구부(13b)를 통하여 상기 실리콘기판(11)내에 H

2^+ 이온을 약 10^{16} 원자/cm²의 도스량으로 주입하였다. 이 결과, 실리콘기판(11)의 표면에서 $2\mu m$ 이상의 깊이에 고수소농도영역(14a), (14b)이 형성되었다.

그리고, 이 때의 주입깊이는 주입에너지의 제어에 의해 원하는 트랜치깊이와 동등하게 설정하면 된다.

전술한 웨이퍼를 유자장마이크로파 플라즈마에칭장치에 세트하고, S_2Cl_2 유량 5SCCM, 가스압 1.3Pa (10mTorr), 마이크로파파워 850W, RF 바이어스파워 100W, 웨이퍼냉각온도 약 $-70^{\circ}C$ 의 조건으로 에칭하였다. 여기서, 상기 S

S_2Cl_2 는 융점 -80°C , 비점 137°C 이고, 상온에서는 액체물질이므로, He 가스를 사용한 버블링에 의해 기화시켜서 계내에 도입하였다. 이 과정에서는 S

$^+$, S_2^+ , Cl^+ , Cl_2^+ 등의 이온에 의한 이온어시스트반응과 Cl^+ 에 의한 라디칼반응이 동시에 진행하여 고속으로 에칭이 행해지는 한편, S_2Cl_2 에서 생성한 S가 패턴측벽부에 퇴적하여 측벽보호막(16)이 형성되고, 고이방성을 유지하면서 트렌칭(15a, (15b)가 형성되었다. 여기서, 활성종의 입사효율은 개구경이 좁은 제1의 개구부(13a)보다 넓은 제2의 개구부(13b)쪽이 높기 때문에, 에칭속도는 후자에 있어서 상대적으로 빨라진다. 이 때문에, 에칭의 도중상태에서는 제2도(b)에 도시한 바와 같이 제2의 개구부(13b)내에 있어서 트렌칭(15b)의 저면이 먼저 고수소농도영역(14b)에 달했다.

이와 같은 경우, 종래의 에칭방법에서는 마이크로로딩효과에 의해 트렌칭(15a), (15b)의 깊이가 크게 달라지기 쉬우나, 본원 발명에서는 이 단계에서 먼저 고수소농도영역(14b)으로부터 수소가 공급됨으로써 Cl^+ 이 소비되어 외관상의 Cl/S비가 급격히 감소한다. 이결과, 트렌칭(15b)의 저면에서는 S의 퇴적물(17)의 형성과 스퍼터제거가 경합하게 되어 에칭속도가 저하된다. 따라서 트렌칭(15b)의 깊이는 거의 증대하지 않았다.

더욱 에칭을 계속한 바, 제1의 개구부(13a)내에 있어서도 트렌칭(15a)의 저면이 고수소농도영역(14a)에 달하여, 같은 효과에 의해 저면에 S의 퇴적물(17)이 형성되고, 에칭이 거의 정지하였다. 이 결과, 제2도(c)에 도시한 바와 같이 개구경이 다른 2개의 트렌칭(15a) 및 (15b)이 마이크로로딩효과의 영향을 받지 않고 대략 같은 깊이로 형성되었다.

[실시에 6]본 실시예는 본원 발명의 제4의 발명을 게이트가공에 적용하여, 실록산계 노블락수지를 베이스수지로 하는 레지스트재료에 의해 에칭마스크를 형성하고, S_2F_2 를 사용하여 폴리사이드막을 에칭한 예이다. 도면에 의한 설명은 생략하나, 제1도(a)에 있어서 DOPOS 층(3)을 예를 들면 DOPOS 층과 텅스텐실리사이드층이 순차 적층된 폴리사이드막으로 치환하여 생각하면 된다.

먼저, 실리콘기판상에 게이트산화막을 통하여 폴리사이드막이 형성된 웨이퍼상에 포지티브형 포토레지스트 FH-SP(상품명: 후지한트사제)를 도포하고, i선을 사용한 포토리소그래피를 행하여 레지스트마스크를 형성하였다. 상기 포토레지스트재료는 실록산계 노블락수지에 퀴논디아지드화합물이 감광제로서 혼합된 것이며, 실리콘 함유량은 20중량%이다.

이 웨이퍼를 유자장마이크로파 플라즈마에칭장치에 세트하고, S_2F_2 유량 5SCCM, 가스압 1.3Pa(10mTorr), 마이크로파파워 850W, RF 바이어스파워 50W, 웨이퍼냉각온도 -30°C 의 조건으로 에칭하였다. 이 과정에서는 에칭 마스크내의 실리콘이 S

F_2 로부터 해리생성된 F^* 를 포착하므로 외관상의 F/S 비가 저하하고, 패턴측벽에는 S가 퇴적하였다. 이 S가 측벽보호효과를 발휘하여 양호한 이방성형상을 가진 게이트전극을 형성할 수 있었다.

또, 전술한 에칭가스에는 전술한 일본국 특원평 2(1990)-265235호 명세서에 개시된 기술과는 달리 HBr이 함유되어 있지 않으므로, SiBr_x나 WBr_x가 생성하지 않고, 파티클오염의 염려가 적다.

그리고, 본원 발명에 사용되는 레지스트재료는 실리콘함유량이 전술한 값에 한정되는 것이 아니며, 시판품을 적절히 입수하여 사용할 수 있다. 단, 실리콘함유량이 지나치게 높으면 산소플라즈마내성이 향상하는 반면 해상도는 열화되는 경향이 있으므로, 실용범위는 스스로 한정한다.

[실시에 7]본 실시예는 본원 발명의 제5의 발명을 게이트가공에 적용하여, 유자장마이크로파 플라즈마에칭장치의 캐소드커버로서 표면에 아몰퍼스실리콘층이 형성된 것을 사용하고, S_2F_2 에 의해 DOPOS 층을 에칭한 예이다.

여기서는 제3도에 도시한 바와 같이, 웨이퍼탑재전극(21)의 노출부로부터 웨이퍼(22)의 금속오염을 방지하기 위해 이 노출부를 피복하는 알루미늄제의 캐소드커버(23)로서, 그 상면에 플라즈마 CVD 등의 수법에 의해 아몰퍼스실리콘층(24)을 형성한 것을 사용하였다. 상기 아몰퍼스실리콘층(24)의 두께는 날장처리를 전제로 하는 경우, 웨이퍼(22)의 처리매수등에 따라 적절히 설정되어 있다.

여기서, 상기 웨이퍼탑재전극(21), 웨이퍼(22) 및 캐소드커버(23)를 수개소에 있어서 실리콘카바이드제의 클램프(도시하지 않음)로 일체지지하고, 이 웨이퍼탑재전극(21)을 약 -70°C 로 냉각하면서, S_2F_2 유량 5SCCM, 가스압 1.3Pa(10mTorr), 마이크로파파워 850W, RF 바이어스파워 30W, 냉각온도 -30°C 의 조건으로 DOPOS 층을 에칭하였다. 이 경우, 웨이퍼(22)의 주위에 피에칭재료층과 동질의 재료층이 존재하고 있기 때문에 피에칭면적 이 증대한 것과 동일효과(로딩효과)가 나타나고, S

F_2 에서 해리생성된 과잉의 F^* 는 아몰퍼스실리콘층(24)에 의해 소비되었다 이 때문에 외관상의 F/S 비가 감소하고, S에 의한 효과적인 측벽보호가 행해져 우수한 이방성형상을 가진 게이트전극이 형성되었다.

그리고, 최소한 표면이 실리콘계 재료에 의해 구성되는 에칭장치 내부재는 전술한 바와 같은 캐소드커버에 한정

되는 것은 아니며, 웨이퍼에 직접 배치되는 부재이면 클램프나 서셉터등이라도 된다. 또, 전술한 아몰퍼스실리콘 층 대신에, SiN막등이 형성되어 있어도 된다. 또는, 전술한 부재가 실리콘인고트(ingot)에서 잘라낸 재료나 실리콘카바이드등의 실리콘계소결세라믹스로 구성되어 있어도 된다. 다른 매우 간편한 방법으로서 전술한 실리콘계 재료로 이루어지는 블록이나 스퍼터링타겟등의 적당한 고체를 더미재로서 웨이퍼의 주변에 배열해 두기만 해도 되며, 같은 효과를 기대할 수 있다.

그리고, 산화실리콘계의 재료는 부적당하다. 그것은 실리콘계 재료의 에칭이 통상 산화실리콘계 재료에 대하여 고선택비를 유지한 조건으로 행해지므로, 에칭반응계내에 실리콘이 공급되지 않기 때문이다.

이상, 7가지 실시예에 의거하여 본원 발명을 설명하였으나, 전술한 각 실시예에 있어서 사용한 에칭가스에는 에칭속도의 제어나 측벽 보호효과의 증강을 도모하는데 있어서 N_2 등의 불활성가스가 적절히 첨가되어 있어도 된다. 또, 스퍼터링효과, 회석효과, 냉각효과등을 기대하는 의미에서 He, Ar 등의 희가스를 적절히 사용해도 된다.

또한, 할로겐라디칼을 극단적으로 감소시켜서 에칭반응 자체를 억제하지 않는 범위이면 제1의 발명 내지 제5의 발명을 적당히 조합하여 실시하면 각 발명의 상승효과를 얻을 수 있는 것은 물론이다.

이상의 설명으로부터 명백한 바와 같이, 본원 발명에서는 에칭반응계내에 어떤 형태로든 수소 및/또는 실리콘을 공급함으로써, 산화황계 가스 또는 염화황계 가스에서 생성하는 F^* , Cl^* 의 일부를 효과적으로 포착하여, 외관상의 F/S 비 또는 Cl/S 비를 저하시킬 수 있다. 따라서, 라디칼반응에 의한 에칭을 매우 받기 쉬운 실리콘계 재료층의 가공이 높은 이방성을 가지고 실현할 수 있게 된다. 또, 본원 발명에서는 저온에칭과 측벽보호를 병용하므로 저바이어스에 의한 가공이 가능하게 되고, 대소지선택성이나 대레지스트선택성도 향상된다. 더욱이, 측벽보호의 역할을 행하는 S는 용이하게 승화제거되므로, 파티클오염을 야기시킬 염려도 없다.

따라서, 본원 발명은 탈플론대책으로서 유망하며, 반도체장치의 제조분야등에 있어서 그 산업상의 가치는 매우 크다.

(57)청구의 범위

청구항1

피에칭기판을 $0^\circ C$ 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 제1가스와, H_2 , H_2S , 실란계 화합물에서 선정되는 한 종류의 제2가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 하는 드라이에칭방법.

청구항2

피에칭기판을 $0^\circ C$ 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 제1가스와, H_2 , H_2S , 실란계 화합물에서 선정되는 한 종류의 제2가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 제1의 공정과, 상기 제1가스에 대한 상기 제2가스의 유량비를 상기 제1의 공정에 있어서의 유량비보다 상대적으로 크게 하여 오버에칭을 행하는 제2의 공정을 가지는 것을 특징으로 하는 드라이에칭방법.

청구항3

피에칭영역에 미리 수소를 이온주입에 의해 도입하고, 피에칭기판을 $0^\circ C$ 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 하는 드라이에칭방법.

청구항4

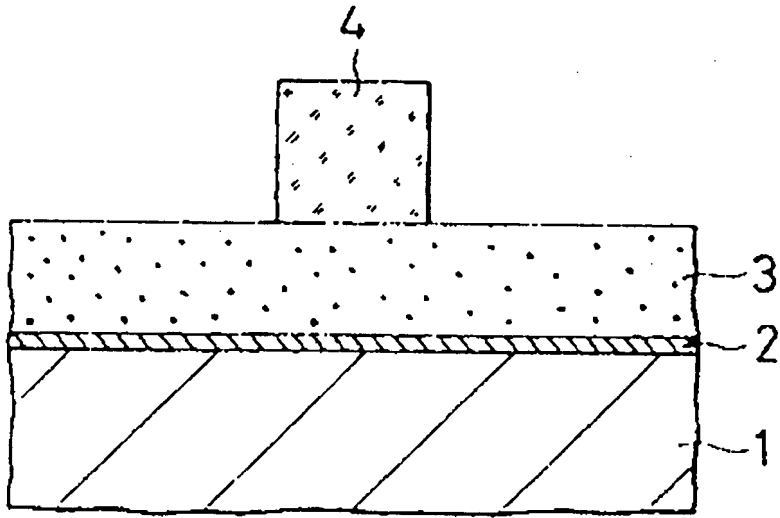
실리콘함유레지스트재료에 의해 구성되는 에칭마스크를 사용하고, 피에칭기판을 $0^\circ C$ 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 하는 드라이에칭방법.

청구항5

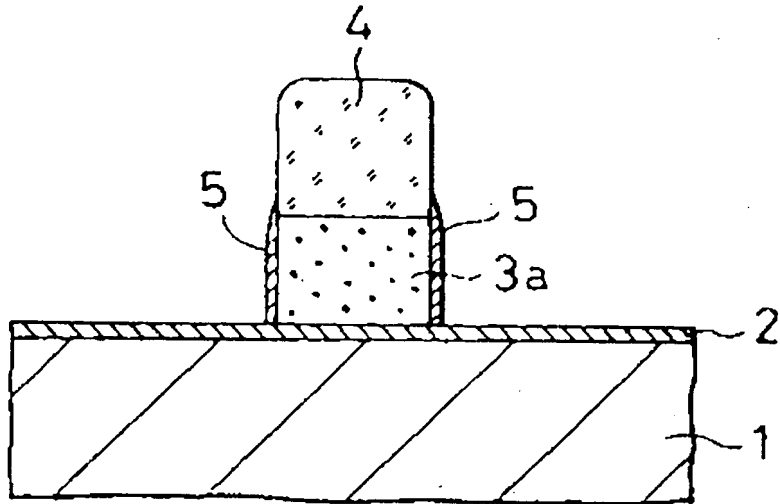
최소한 표면이 실리콘계 재료에 의해 구성되는 에칭장치내부재 또는 더미재를 피에칭기판의 근방에 배설하고, 피에칭기판을 $0^\circ C$ 이하로 냉각하면서 S_2F_2 , SF_2 , SF_4 , S_2F_{10} , S_3Cl_2 , S_2Cl_2 , SCl_2 에서 선정되는 한 종류의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 하는 드라이에칭방법.

도면

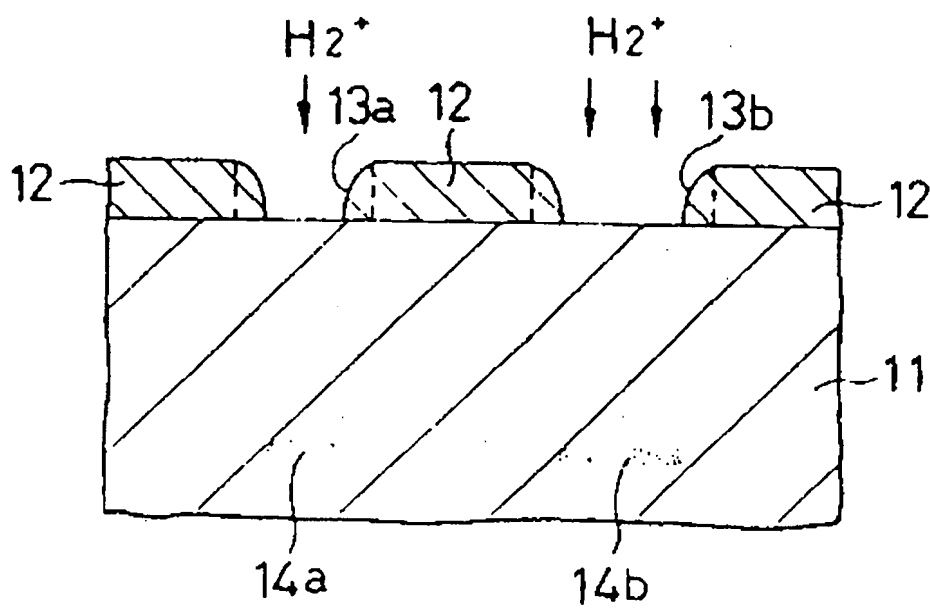
도면1a



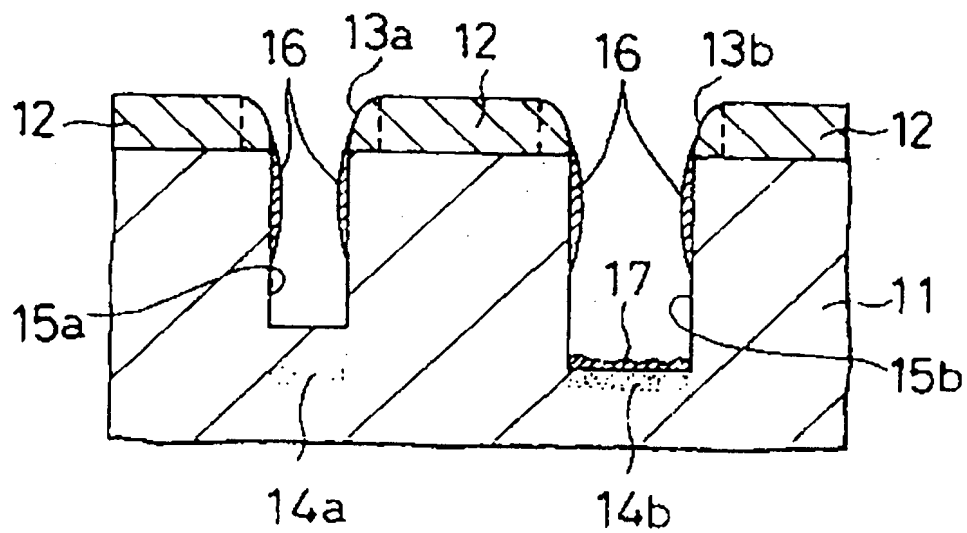
도면1b



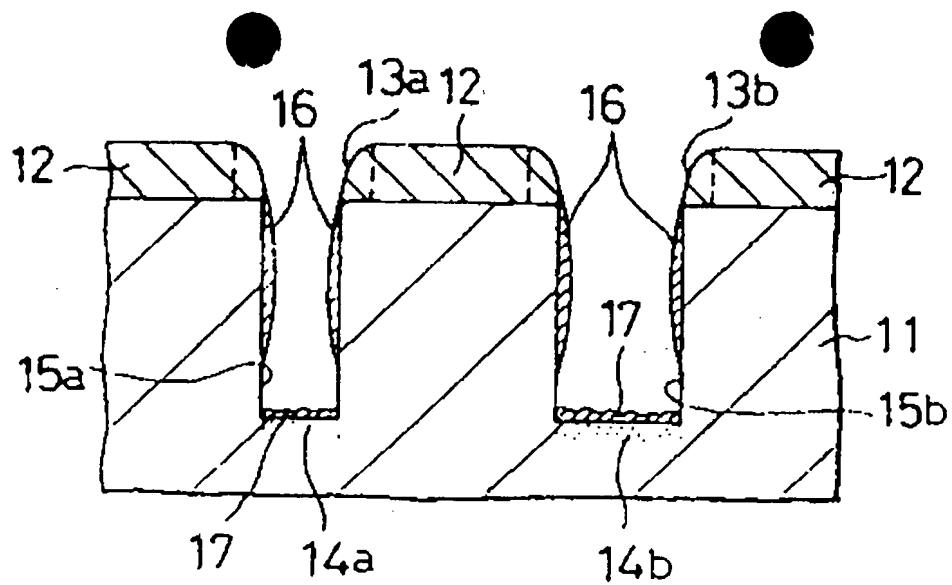
도면2a



도면2b



도면2c



도면3

